


**Memory cell matrix and fabrication process.**

Patent Number: ☐ EP0468938, A3, B1
Publication date: 1992-01-29
Inventor(s): CROTTI PIER LUIGI (IT)
Applicant(s): SGS THOMSON MICROELECTRONICS (IT)
Requested Patent: ☐ JP7135260
Application Number: EP19910830327 19910724
Priority Number(s): IT19900083627 19900724
IPC Classification: G11C16/04 ; H01L21/82 ; H01L27/112 ; H01L27/115
EC Classification: H01L27/115
Equivalents: DE69114204D, DE69114204T, ☐ IT1243303, ☐ US5279982

Abstract

A cell array for EPROM or ROM type memories has drain and source interconnection metal lines connecting in common drain and source regions, respectively, of the cells arranged on a same row of the array formed directly on the semiconductor substrate, superimposed at crossings to uninterrupted isolation strips formed on the semiconductor substrate for separating cells belonging to two adjacent columns of the array, and gate interconnection lines (WORD LINES), connecting the control gate electrodes of cells arranged on a same column, which run parallel to and between said isolation strips and superimposed at crossings to said underlying source and drain lines (BIT LINES). The array is markedly more compact than an array made according to the prior art though utilizing fabrication apparatuses with similar optical resolution, while maximizing the source and drain contact areas of the cells. In ROM devices, the customizing may advantageously take place during the final steps of the fabrication process by means of a gate contact mask having a reduced criticality in respect to a comparable drain contact mask used in prior art processes. The fabrication process employs self-alignment techniques and masks with a relatively low alignment criticality. 

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135260

(43) 公開日 平成7年(1995)5月23日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/8246				
21/8247				
27/112				
	7210-4M	H 0 1 L 27/ 10	4 3 3	
		29/ 78	3 7 1	
審査請求 未請求 請求項の数 5 F D (全 8 頁) 最終頁に続く				

(21) 出願番号 特願平3-207493

(22) 出願日 平成3年(1991)7月24日

(31) 優先権主張番号 8 3 6 2 7 A / 9 0

(32) 優先日 1990年7月24日

(33) 優先権主張国 イタリア (I T)

(71) 出願人 591011409

エッセチエッセートムソン マイクロエレ
クトロニクスエッセ・エッレ・エッレ
SGS-THOMSON MICROEL
ECTRONICS SOCIETA A
RESPONSABILITA LIM
ITATA

イタリア国 アグラテ・ブリアンツァ
20041 ビア・チ・オリベッティ 2

(72) 発明者 ビエール・ルイジ・クロッティ

イタリア国 ランドリアノ 27015 ビ
ア・クロシオ 9

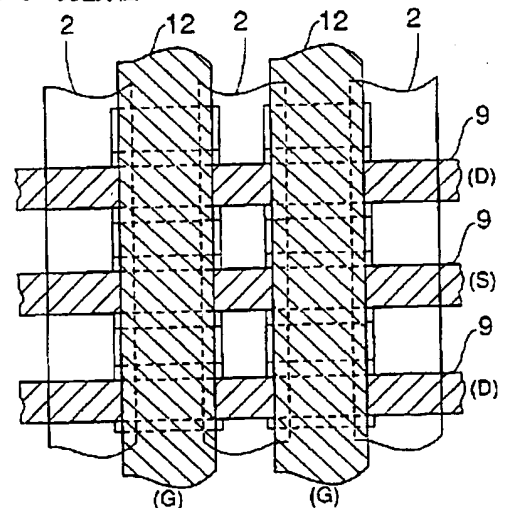
(74) 代理人 弁理士 森 浩之

(54) 【発明の名称】 基板上に形成され直角方向のゲート相互接続平行金属ライン及び平行なソース及びドレイン相互接続ラインを有するメモリセルマトリクス及びその製造方法

(57) 【要約】 (修正有)

【目的】 個々のドレインコンタクトの存在が実質的に排除されかつ既知の製造プロセスの場合の操作より重要性の少ない操作により比較的高いコンパクト性で製造できるメモリセルのアレイを含んで成る集積デバイス及びその製造方法を提供する。

【構成】 それぞれ均一に離間し平行に延びる中断されていない分離ストリップ2を形成し、該分離ストリップ2に直角に延びるゲート構造を形成し、該ゲート構造間にドレイン相互接続ラインD及びソース相互接続ラインSを形成し、両者に直角に延びるゲート相互接続ラインGを形成する。



【特許請求の範囲】

【請求項1】 行及び列に組織された、ソース、ゲート及びドレイン電氣的相互接続ライン、及びセルの前記アレイの列の全長に亘って中断されずに延びかつセルを同じ行に配置された隣接するセルから分離する平行な分離ストリップを含んで成る分離構造を有し、それぞれが半導体基板のソース及びドレイン領域間のチャンネル領域の上方に形成されたゲート構造を有するメモリセルのアレイを含んで成る半導体デバイスであって、

前記アレイの前記ドレイン相互接続ラインが前記半導体基板の表面上に形成された中断されていない平行な金属ラインであり、各ラインがアレイの行に配置されたセルのドレイン領域上を延びかつ電氣的に接触し更に前記ドレイン相互接続ラインが分離ストリップと交差する個所で前記分離ストリップに物理的に重なっており、

前記アレイの前記ソース相互接続ラインが前記半導体基板の表面上に形成された中断されていない平行な金属ラインであり、各ラインがアレイの行に配置されたセルのソース領域上を延びかつ電氣的に接触し更に前記ソース相互接続ラインが分離ストリップと交差する個所で前記分離ストリップに物理的に重なっており、

前記アレイの列に配置されたセルのゲート構造を接続する任意の前記ゲート相互接続ラインが前記分離ストリップに平行にそして前記ドレイン及びソース相互接続ラインに直角に延び、かつ2個の隣接する分離ストリップ間に含まれるセルのゲート構造に及び前記ゲート相互接続ラインが前記ドレイン及びソースラインと交差する個所の前記下に位置するドレイン及びソース相互接続ラインに重なっている半導体デバイス。

【請求項2】 前記メモリセルがEPROMセルであり、前記ゲート構造が浮遊ゲート電極及び該浮遊ゲート電極に静電結合されたコントロールゲート電極により形成されている請求項1に記載のデバイス。

【請求項3】 前記メモリセルが、そのゲートが前記アレイの同じ列に属するトランジスタのそれぞれのゲート相互接続ラインにプログラムにより接続されあるいは接続されていないMOSTランジスタにより実質的に形成されたROMセルである請求項1に記載のデバイス。

【請求項4】 ソース、ゲート及びドレイン電氣的相互接続ラインが及びセルの前記アレイの列の全長に亘って中断されずに延びかつセルを同じ行に配置された隣接するセルから分離する平行な分離ストリップを含んで成る分離構造が行及び列に組織された、それぞれが半導体基板のソース及びドレイン領域間のチャンネル領域の上方に形成されたゲート構造を有するメモリセルのアレイを含んで成る半導体デバイスの製造方法において、該方法が、

前記アレイの行のセル間に、均一に離間し互いに平行で前記アレイの列の全長に亘って延びる中断されていない分離ストリップの形態の分離構造を形成し、

前記下に位置する分離ストリップに直角に広がる離間する平行ストリップの形態の部分犠牲ゲート構造を形成し、かつ前記部分犠牲ゲート構造ストリップの側面に沿って絶縁側壁スペーサを形成し、

前記基板及びストリップ上に金属層あるいはマルチ層を整合するように付着させ、

平面化物質層を付着させ、

下に位置する整合した付着金属層の上端が露出するまでマスクなしに前記平面化物質層の異方的エッチングを行い、これによりゲート構造の下に位置する2個の部分犠牲隣接ストリップ間の前記金属層の谷部の底部上に前記平面化物質をリボン状に残し、

前記層の金属のエッチングフロントがゲート構造の前記部分犠牲ストリップの側面に沿って形成された前記絶縁スペーサの側壁まで降下するまで、前記谷部の底部の平面化物質の前記残ったリボンをマスクとして利用して前記金属層の露出部分のエッチングを行い、

前記平面化物質の残りのリボンを除去し、

前記下に位置する分離ストリップ上の前記部分犠牲ゲート構造ストリップの重なりゾーンと一致する開口を有するゲート分離マスクを形成し、

永続的なゲート構造を限定するために前記部分犠牲ゲート構造ストリップの露出部分をエッチングし続いて前記マスクを除去し、

絶縁物質の中間分離層を付着し、

ゲート-コンタクトマスクにより個々のゲートコンタクトを限定し、前記永続的ゲート構造の先端表面が露出するまでマスクの開口を通して前記中間分離絶縁物質層のエッチングを行い、前記マスクを除去し、

前記永続的ゲート構造と電氣的に接続されたゲート-コンタクト金属層を付着し、前記付着金属層をパターン化して下に位置する分離ストリップに平行で前記下に位置するドレイン及びソース相互接続ラインと直角な前記ゲート相互接続ラインを形成し、アレイの列の前記ゲート構造を接続する、

各ステップを含んで成ることを特徴とする方法。

【請求項5】 ソース、ゲート及びドレイン電氣的相互接続ラインが及びセルの前記アレイの列の全長に亘って中断されずに延びかつセルを同じ行に配置された隣接するセルから分離する平行な分離ストリップを含んで成る分離構造が行及び列に組織された、それぞれが半導体基板のソース及びドレイン領域間のチャンネル領域の上方に形成されたゲート構造を有するメモリセルのアレイを含んで成る半導体デバイスの製造方法において、該方法が、

前記アレイの行のセル間に、均一に離間し互いに平行で前記アレイの列の全長に亘って延びる中断されていない分離ストリップの形態の分離構造を形成し、

前記下に位置する分離ストリップに直角に広がる離間する平行ストリップの形態の部分犠牲ゲート構造を形成

し、かつ前記部分犠牲ゲート構造ストリップの側面に沿って絶縁側壁スペーサを形成し、

前記基板及びストリップ上に平面化金属層を付着し、前記平面化金属層のエッチングフロントが前記部分犠牲ゲート構造ストリップの側面に沿って形成された前記絶縁スペーサの側壁へ降下するまでマスクなしに前記平面化金属層の異方的エッチングを行い、

前記下に位置する分離ストリップ上の前記部分犠牲ゲート構造ストリップの重なりゾーンと一致する開口を有するゲート分離マスクを形成し、

永続的なゲート構造を限定するために前記部分犠牲ゲート構造ストリップの露出部分をエッチングし続いて前記マスクを除去し、

絶縁物質の中間分離層を付着し、

ゲートコンタクトマスクにより個々のゲートコンタクトを限定し、前記永続的ゲート構造の先端表面が露出するまでマスクの開口を通して前記中間分離絶縁物質層のエッチングを行い、前記マスクを除去し、

前記永続的ゲート構造と電気的に接続されたゲートコンタクト金属層を付着し、前記付着金属層をパターン化して下に位置する分離ストリップに平行で前記下に位置するドレイン及びソース相互接続ラインと直角な前記ゲート相互接続ラインを形成し、アレイの列の前記のゲート構造を接続する、

各ステップを含んで成ることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、チップの必要面積を大きく減少させたメモリセルのアレイを含みかつ全てのセルのドレインエリアに個々にコンタクトを形成する必要をなくした集積半導体デバイスに関する。更に本発明はこのようなメモリデバイスを製造する方法に関する。

【0002】

【従来技術】MOSTランジスタ（しばしば浮遊ゲートランジスタ）により実質的に形成されたセルを使用するモノリシックに集積されたデバイス及びメモリは周知で現在のデジタル技術において広く使用されている。これらの半導体デバイスは、行（row）及び列（column）のアレイ中に組織され適切な選択回路により個々にアドレスされる単純なランジスタ及び／又は浮遊ゲートタイプEPROMセルのいずれかの形態のメモリセルの1又は2以上のマトリクスが存在により特徴付けられる。

【0003】EPROMメモリの場合はしばしば各セルは浮遊ゲート（又はダブルゲート）MOSTランジスタにより実質的に形成される。各列のランジスタ（セル）の個々のドレインコンタクト用の平行な相互接続ラインの存在により特徴付けられかつ平行なゲートラインに対して直角方向に位置するメモリセルのこれらのアレイの従来の構造も同様に周知である。列に沿った隣接する1対のランジスタのソース領域は電気的に共通にな

っており、従来の配置に従って同じ行に沿って位置するランジスタ（セル）の共通する1対のソース領域は半導体シリコン基板を通して共通に電気的に接続されている。これらの既知のデバイスでは、同じ行に位置するセル対のドレイン及びゲートを分離する分離構造は、半導体中に切設された溝中に形成される場合（例えばBOXタイプ分離）でも窒化物マスク分離ゾーンにより意図的に限定される電界酸化物の厚い層を熱的に成長させて形成する場合でも、実質的に長方形の幾何形状を有している。一般にドレインコンタクトは、マスキングステップ及びそれに続く既に形成されたゲートラインを分離するための半導体ウエファの表面上に付着した絶縁層（つまりランジスタのコントロールゲート構造）をエッチングすることを通して形成される。徐々に小さくなっていることを特徴としている写真食刻限定の観点から、これらのデバイスの従来の構造の上述のトポグラフィックな配置は次の欠点を有している。

【0004】分離マスク（マスク活性エリアマスク）

マスクマスク上で完全に長方形であるが、ウエファ上に形成されるとその幾何的形状は不可避免的に丸いコーナーを有する。これは本質的にイメージシステムの光学的回折限界に依存する。投影された幾何的形状のレジスト層の潜像はコーナーの丸みを示しこの丸みは次のディベロピングプロセスを経て更に顕著になる。高解像光学装置（例えばN. A. > 0.45）及び高コントラストマスキングプロセスを使用すると、現象は制限されるが存続する。現在のところ得られる最良の結果は湾曲の半径が約1ミクロンの4分の1のコーナーである。電界酸化物を熱的に成長させるとこの値は増加する。長方形の幾何形状のコーナーの丸みはゲートラインの配置の多大な重要性和デバイスのチャンネルの幅のディメンジョン的变化を決定する。

【0005】コンタクトマスク

写真食刻の問題は、既存層に関する配列と真のコンタクトエリアの結果的な減少を伴う幾何形状のコーナーの丸み（ここではより顕著である）に関する既知の問題である。更にエッチングされたコンタクトホール断面の付随的な減少はこれらの微小空間を金属で十分に「充填」する顕著な技術的困難性を暗示する。本出願人により平成2年12月22日出願された特願平2-413301号には、メモリセルの高度なコンパクト性を達成しながら上述の技術的問題を実質的に解決したメモリデバイスが記載されている。これは、長方形の幾何形状を暗示する不連続なストリップに代えて連続的な分離ストリップを形成することにより、そしてソースエリア中の半導体基板の真上のソースエリアで交差する分離ストリップの上で自己整列的に形成される金属相互接続ラインによりソース領域に共通接続を達成することにより、得られた。一般的な外形は、個々のドレインコンタクトが自己整列的に2個の隣接する分離ストリップ間のそれぞれのドレイ

5

ンエリアに形成され、かつゲートラインに平行にかつそれらの間に延びるソース接続ラインを有するデバイスの外形であった。これにより同じ列のユニットセルに属するドレインエリアを接続するための従来法によるドレイン相互接続ラインが形成された。換言するとこの解決法でも、単一セルのそれぞれのドレインエリア上に形成された個々のドレインコンタクトを接続するためのドレイン接続ラインはゲートライン上を延び、かつ製造プロセスの最後又はそれに近いフェーズで形成された。微少な特徴が写真食刻法により限定されなければならないより以上にコンパクトなデバイスの要請に対して、厳格なマスク整列の誤差から許容されるマスキングステップの重要性を更に減少させ、あるいはより一般的には更に高くなった集積限界用に設計されたデバイスの場合にも高信頼性と生産性を確保する究極の目的を有する製造プロセスを簡略化する必要がある。

【0006】

【発明の概要】本発明の対象は、個々のドレインコンタクトの存在が実質的に排除されかつ既知の製造プロセスの場合の操作より重要性の少ない操作により比較的高いコンパクト性（つまり製造コストだけでなく生産されるデバイスのプロセスの生産性及び信頼性に正の反映を有する製造プロセスの顕著な簡略化）で製造できるメモリセルのアレイを含んで成る集積デバイスである。前述の特許出願の対象であるデバイスと同じように本発明のデバイスでも、分離構造は、行及び列に組織されたセルのアレイの列の全長に中断されずに延びる平行な分離ストリップにより形成される。前記特許出願で述べたようにこの事実は、活性セルエリアがプロセスの同じ最小限定距離つまりいわゆるゲートライン「最小ストリップの幅」により限定されるため、チャージされていない光学的レゾリューションを有する写真食刻限定用装置を利用しながら顕著に増加したコンパクト性の達成を許容する。前記特願平2-413301号に含まれる対応する説明は本明細書にも含まれる。

【0007】対照的に本発明のデバイスでは、ゲートライン（WORD LINE）とドレインライン（BIT LINE）の相対位置が、従来技術のデバイスの大多数の場合と同様に前述の先行特許出願の対象であるデバイス中でそれぞれ占められたものに対して実質的に逆になっている。特に前記特許出願で開示された構造とは反対に、ゲート相互接続ライン（つまりコントロールゲートラインあるいはWORD LINE）がソース及びドレイン相互接続ラインの延びる方向に対して直角方向に延び、これによりセルのアレイの「列」の延びの方向の分離ストリップに平行に配置している。従来技術のデバイスの大多数とは対照的に、本発明の対象であるデバイスではゲート相互接続ラインは半導体ウエファ上に連続して形成される対応する層の重なりをオーダーを実際に反転させることによりドレイン相互接続ライン上を延び

6

る。ゲートラインのこのような「重なり」は、ドレインエリアの上方にありドレインエリアに接触しかつ分離ストリップとのクロスオーバーゾーン中の分離ストリップに空間的に重なった半導体基板の表面に直接形成されたドレイン接続ラインによりアレイの同じ行に沿って配置されるセルに属するドレイン接合の共通接続の実現を許容する。これによりその形成及び信頼性が主要な技術的問題を提示する各セルで個々のドレインコンタクトを形成する必要性が実質的に解消される。

10 【0008】従って単一セルのドレイン領域間の電気的相互接続が、連続的な金属ラインを実質的に自己整列的手法で形成することにより実行され、これにより小さいコンタクトエリアを清浄化することに関する問題に加えて、既知の技術により得られるものより遙に大きい真のドレインコンタクトエリアを確保し従って従来技術に対して確立されるオームコンタクトのより大きな信頼性と品質を確保するだけでなく、上述の写真食刻限定の困難性を大部分解消する。顕著に平面化した構造上にゲートコンタクトの形成を許容することに関してだけでなく、それを限定した後にコンタクトエリアの所謂伝統的なMETALマスクによるイオンインプランテーションを繰り返す必要性を除去するという付加的な利点が達成される。この最後の本発明のデバイスの特徴は、製造プロセスの最後のいくつかのフェーズのうちの1フェーズ間及び比較的重要でない条件下で都合良く使用できる所謂GATE CONTACTSマスクによりセルの「モザイク」中にMOSTランジスタを形成しあるいはしないことによりプログラム（個別化）されることのできるROMタイプデバイスの生成にも特に適したデバイスを作成することに寄与する。

30 【0009】本発明の異なった態様及び利点は添付図面を参照して行う引き続き説明によりさらに明らかになるであろう。図1から図11は第1の実施例による本発明製造プロセスの主要なステップを例示することによりデバイスの構造を概略的に示すものであり図12及び図13は本発明の他の実施例を概略的に示すものである。

【0010】

【好ましい態様の説明】図1から図11を参照すると、半導体基板1上に分離構造2が中断されていない平行なストリップとして限定されかつ形成され、これはセルのアレイの列の全高に亘って延びている。該分離構造2は、所謂LOCUS技術（フィリップス社）、PLANOX技術（エッセヂエッセートムソン社）等の窒化シリコンでマスキングを行う周知の技術の1種に従って前もってイオンインプラントが行われた半導体1の表面のマスクされていない部分上に熱的に成長した電界酸化物層により構成されることができる。その代わりに前記分離ストリップは「嵌め込まれた」ものでもよく、つまり第1に半導体基板の表面に溝を形成しイオンインプラントの後

50 にこの溝を酸化シリコンのような絶縁物質の付着により

充填し（BOXタイプ分離）、これによりウエファの表面の完全な平面性を都合良く確保してもよい。図から判るように分離ストリップ2の写真食刻限定は、これらのデバイスの従来の既知構造でそうであったようなイメージ転送プロセス間の実質的に長方形の幾何形状の丸みにより誘発される不都合が実質的に存在しない。回折の問題が長方形又は2方向限定特性の場合より遙に小さいため、平行なストリップの写真食刻限定は光学的に遙に易しくなる。

【0011】既知の任意の技術を利用し更に続けて共通の操作により分離構造2を形成した後、全体が3で示されたゲート構造を形成する。本発明の一例である該ゲート構造は、該構造が更にマスクング及びエッチングによるプロセス中で更に限定されるため、部分的な犠牲構造である。図2から判るように、ユニットメモリセルのアレイ用ゲート構造はこの段階では平行な隣間したストリップであり、該ストリップは半導体ウエファのフロントに前もって形成された分離ストリップ2に直角に交差している。図3のA-A断面から判るように、EPROMタイプセルの特定の場合には、個々のゲート構造は2個の隣接する分離ストリップ2間の活性エリア上に前もって形成された通常酸化シリコン5であるゲート絶縁層により下に位置する半導体1から電氣的に絶縁された一般に多結晶シリコン（ポリ1）である第1の導電層4を含んで成り、該第1の導電層4はその上面に多結晶シリコン（ポリ11）の第2の導電層7が付着されパターン化されてセルのコントロールゲート電極を構成し、前記第1の導電層4と第2の導電層7は絶縁層つまりマルチ層6により完全に絶縁され、前記導電層4はデバイスのEPROMセルの浮遊ゲートを構成している。複合ゲート構造3の側面は後述する通り、半導体のドレイン及びソースエリアの引き続くイオンインプランテーションの行うための横方向のスペースを形成するためそして個々のセルのドレイン及びソース領域の電氣的相互接続ラインを自己整列条件で形成するためのテーパ状の断面プロフィールを有する絶縁層8で被覆されている。これらのテーパ状の絶縁スペース8の形成も周知であり、従って詳細には説明しない。

【0012】EPROMメモリの場合の平行の中断しないストリップ2の形態の分離構造の形成を完了した後の製造プロセスは次のステップを含んでいる。

- 半導体1を熱的に酸化して活性エリア上にゲート酸化物層5を形成する。
- 化学蒸着により多結晶シリコン層4（ポリ1）を付着させかつそれをドーブする。
- 付着した多結晶シリコンの表面の熱的酸化により又は蒸着により、多結晶シリコン4（ポリ1）のパターン化された層により構成される浮遊ゲートを分離するための絶縁層あるいはマルチ層6を形成する。
- 多結晶シリコン（ポリ11）の第2の層7を化学蒸

着により形成し、この層を通してコントロールゲートが最終的にパターン化される。必要に応じてメモリマトリクスのゲート構造スタックを形成する全ての層の付着ステップを實際上完了させるために窒化シリコンの層を形成する。

e) ゲート構造の平行なラインのマスクング及びエッチングによるパターン化を行う。

f) ゲート構造のラインの側面に絶縁物質の側壁スペース8を形成し、共通の操作によりソース及びドレインエリアをインプラントする。

【0013】この一連の製造プロセスの終期には構造は図2及び3に示す通りであり、特に図3にはEPROMセルのゲート構造が示されている。勿論簡単なMOSTランジスタにより形成されるセルの場合はゲート構造は単一の導電層のみを含む（つまりゲート構造は実質的にポリ1層のみで形成される）。この時点から製造プロセスは本発明の2種の異なった態様に従って進行する。図4から11に概略的に示された第1の態様によると、プロセスは次のステップを通して進行する。

g) 図4に示すように単一の電気導電性マトリクス層9つまり導電マルチ層を整合するよう付着させ、続いて平面化物質10（例えば酸化シリコンガラス、SOG）又は平面化に役立つ物質（例えば熱的に再流動する酸化物の混合物）を付着する。

h) 図5に示すように前もって付着された下に位置するマトリクス導電層9のピークの先端が露出するまで前記層10のマスクレス「ブランケット」エッチングを行う。

i) 図6に示すように、導電性物質のエッチングフロントが絶縁スペース8の側面に降下するまで前記平面化物質10の残りをエッチングのマスクとして使用しながら、先行するエッチングステップの間に露出したマトリクス層9の導電性物質の選択的エッチングを行う。

【0014】この最後のステップではソース及びドレインの相互接続ラインがそれぞれセルのソース及びドレイン領域の上方で基板上に直接一緒になって形成され、これらのラインは該接続ラインに対して直角方向に延びる分離ストリップと交差する個所で該分離ストリップと幾何的に交差する。これはドレイン領域上だけでなくソース領域でもコンタクトエリアが可能な限り大きくなるため明らかである。更にゲート構造を分離するために通常形成される分離絶縁層のエッチングにより意図的に「露出」されなかった半導体基板のエリア上に電氣的コンタクトが確立されるという事実は、エッチングに起因する結晶欠陥及び／又は汚染種のインプランテーション及び／又は分離絶縁層を通してコンタクトホールを形成するために使用される一般的な反応性イオンエッチングプロセスの間に通常形成される酸化物及び／又は重合性残留物からのコンタクトエリアの洗浄を不完全に又は部分的にしか行えないという問題点を回避する。勿論最も顕著な利点は、その配列が重要であることが多いパターン化

用マスクを使用することなくドレイン及びソース接続金属ラインを実現できるという事実である。実際に金属ソース及びドレイン接続ライン9は、この段階では依然として中断されていない平行なストリップの形態である既存の部分的に犠牲的であるゲート構造に対して実質的に自己整列的に形成される。

【0015】この時点で製造プロセスは更に次のステップを通して進行する。

j) 導電ライン9上に依然として存在する平面化材料10の残りのストリップを除去し、レジスト層を加え、そのパターンが点線のプロファイルMで図7に概略的に示されたGATE SEPARATION MASKを限定する。容易に判るようにこのマスクは平行なストリップにより形成されたパターンを有し実質的に重要な特性は有しない。マスクの開口を通して前記部分犠牲ゲート構造のマスクされていない部分つまり下に位置する分離ストリップと交差する部分のストリップ3をエッチングし、これにより図7及び8に示すように単一セルの永続的ゲート構造を限定する形成された部分犠牲ゲート構造のストリップの連続性を中断する。

k) 中間分離層として絶縁物質層11を付着する。

l) 図9に示すように専用GATE CONTACTマスクにより限定し、EPROMセルのパターン化されたコントロールゲートの導電層の表面又は通常のMOSトランジスタの場合には単一のゲート導電層の表面が露出するまで、中間分離の絶縁層11をエッチングする。

【0016】このGATE CONTACTマスクは従来の構造のドレインコンタクトを「開口する」ために一般に使用されるマスクより重要性が遙に少ないことが認められる。実際にコンタクト用として露出する表面はウエファのフロント上で比較的高くそして一定のレベルにあり、このフロントは中間絶縁層11が付着された後に比較的平滑になり、必要であれば更に平面化を容易に行うことができる。次いで製造プロセスは次のステップを通して進行する。

m) 導電層(ドーパされた多結晶シリコン、アルミニウム、アルミニウム合金等)を付着させ、専用マスクによりゲート接続ライン12をパターン化する。これらのラインは互いに平行で下に位置するソース及びドレイン接続ラインに対して直角で、図10及び11に示す通り2個の下に位置する隣接分離ストリップに平行にかつ部分的に投影されるよう延びている。本発明の他の態様によると、ゲート構造3のパターン化された部分犠牲ストリップの上に導電性物質(例えばタングステン)層を整合する手法ではなく導電性物質の付着層がウエファのフロントの表面を平面化するように付着することによりソース及びドレイン接続ラインを形成することが図12に示すように可能である。これは、表面のピークの先端上よりむしろ空隙部でより厚く成長することにより表面の前記空隙を容易に充填するよう付着する特定の金属性物質の傾向

を有利に適用できる技術を利用することにより得られる。

【0017】次いでこのような平面導電層9'を図13に概略的に示すように導電性物質9'のエッチングフロントがゲート構造の下に位置するストリップ3の側面に存在する絶縁スペーサ8の側面に降下するまで、高度に異方的な条件下で例えばRIEエッチングプロセスによりエッチングし、これにより簡単な手法でゲート構造の既存のストリップ3に自己整列したドレイン及びゲートの金属性接続ラインを形成する。図3にEPROMセルの典型的な複合スタックゲート構造が詳細に示され、引き続く図面ではゲート構造が全体をより一般的に符号3で示し意図的に固有のマルチ層構造を示していないがこれは当業者に容易に理解できるからである。本発明は、標準的なMOSトランジスタ及び類似構造により形成されるユニットセルの場合つまり単一のゲート電極を有する場合だけでなくEPROMタイプユニットセルの場合の両者に同様に適用可能である。所謂ROMメモリは電気的手段のみでは消去(プログラム)できないユニットセルのこのようなタイプで一般に形成される。2進符号の状態「1」及び「0」間の識別は次の方法のいずれかにより型通りに行うことができる。

【0018】a) トランジスタのアレイ(マトリクス)の特別な位置のトランジスタ構造を作り出す(又は出さない)ことによる。

b) チャンネルインプランテーションによりアレイの特定のトランジスタのスイッチオンしきい値を区別することによる。

c) アレイの特定のトランジスタを接続する(又は接続しない)ことによる。

この後者の技術はしばしば好ましく、それはこれが製造プロセスの終了時に近いステップ間で都合良くデバイスの「個別化(customize)」を許容し先行する製造ステップの大部分の標準化を許容するからである。既知の技術によるとこの個別化は各ドレインを2個の選択できるチャンネルに接続することにより生ずることがある。このような構造の利点は100%の冗長性により与えられ、一方欠点はシリコンの比較的大きいエリアを必要とすることである。写真食刻の困難性はEPROMタイプセルを製造する際に遭遇するものと实际的に同じである。

【0019】対照的に本発明は、ゲートコンタクトマスクにより製造の終期に近いステップ間のメモリアレイの各トランジスタの「プログラム」された接続の実行を許容し、前述の通りこの事実は遙に重要なDRAIN CONTACTマスクを同じ目的で使用する従来技術に対して整列及びパターン化の重要性を大きく減少させる。都合の良いことに各トランジスタあるいはメモリセルは2個の選択できるチャンネルを通してアドレスされることができ、これにより従来技術の場合と同様に100%の冗長性を得ることができ、従来技術に従って製造された

11

アレイに対して本発明のアレイは極度のコンパクト性を有するという利点がある。より一般的にいうとあるいは特にEPROMメモリアレイの場合には、ある冗長性を含みあるいは含まない異なった解読回路を使用することができる。換言すると、複数の単一メモリセルが個々にアドレスされる場合は周知の技術によるとソースライン間の識別のためにメモリマトリクスが適切な解読回路を装着しなければならない。対照的に周知の技術により一層伝統的な全てのソースラインが電氣的に共通接続された解読回路を利用すると、各メモリ「セル」は実際には2個のハーフセルにより形成されるものと考えなければならず、つまり互いに関連して作動し従って100%の冗長性を決定するメモリアレイのトランジスタ又はユニットセル対により形成されるものと考えなければならない。

【図面の簡単な説明】

【図1】本発明の第1の実施例のデバイスを製造する際の該デバイスの第1の構造を概略的に示す図。

【図2】同じく第2の構造を概略的に示す図。

12

【図3】同じく第3の構造を概略的に示す図。

【図4】同じく第4の構造を概略的に示す図。

【図5】同じく第5の構造を概略的に示す図。

【図6】同じく第6の構造を概略的に示す図。

【図7】同じく第7の構造を概略的に示す図。

【図8】同じく第8の構造を概略的に示す図。

【図9】同じく第9の構造を概略的に示す図。

【図10】同じく第10の構造を概略的に示す図。

【図11】同じく第11の構造を概略的に示す図。

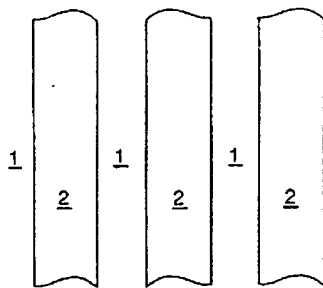
【図12】本発明の第2の実施例のデバイスを製造する際の該デバイスの第1の構造を概略的に示す図。

【図13】同じく第2の構造を概略的に示す図。

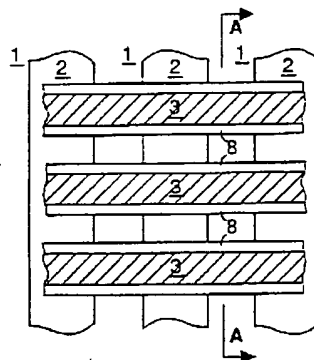
【符号の説明】

1・・・半導体基板 2・・・分離構造 3・・・ゲート構造 4・・・導電層 5・・・絶縁層 6・・・絶縁層 7・・・導電層 8・・・スペーサ 9・・・導電性マトリクス層 10・・・平面化物質層 11・・・絶縁物質層 12・・・接続ライン

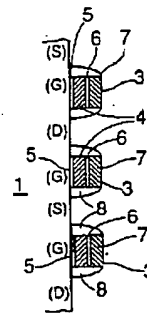
【図1】



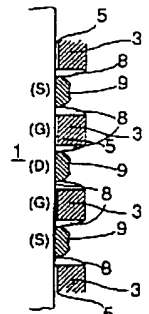
【図2】



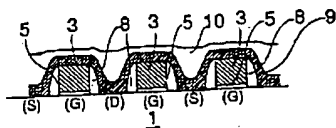
【図3】



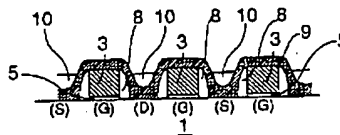
【図8】



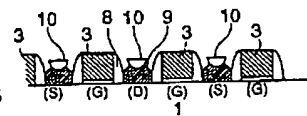
【図4】



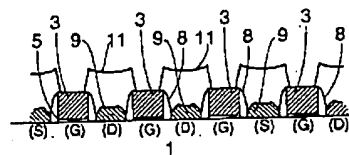
【図5】



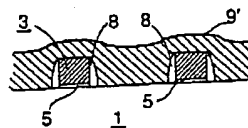
【図6】



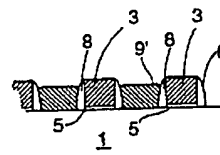
【図9】



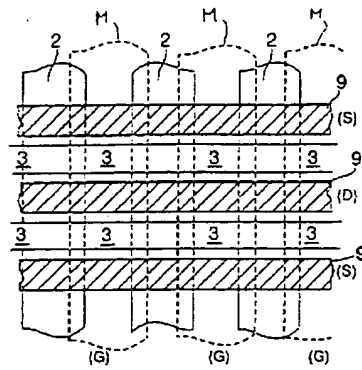
【図12】



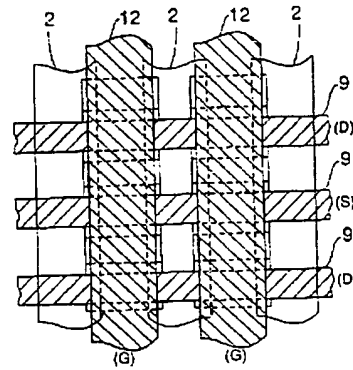
【図13】



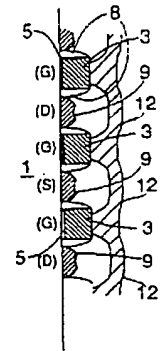
【図7】



【図10】



【図11】



フロントページの続き

(51)Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/788

29/792